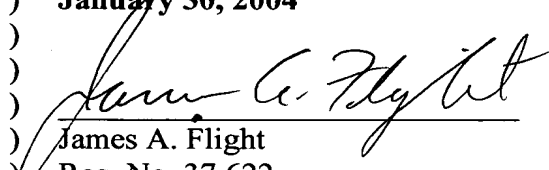


PATENT
Docket No. 20063/OG03-037

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): PARK et al.
Serial No.: 10/747,600
Filed: December 29, 2003
For: "Memory Cell Structures
Including a Gap Filling Layer and
Methods of Fabricating the Same"
Group Art Unit: Unknown
Examiner: Not Yet Assigned

) I hereby certify that the documents
) referred to as enclosed herewith are
) being deposited with the United States
) Postal Service, first class postage
) prepaid, in an envelope addressed to
) the Commissioner for Patents, P.O.
) Box 1450, Alexandria, Virginia
) 22313-1450 on this date:
) **January 30, 2004**
) 
) James A. Flight
) Reg. No. 37,622

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

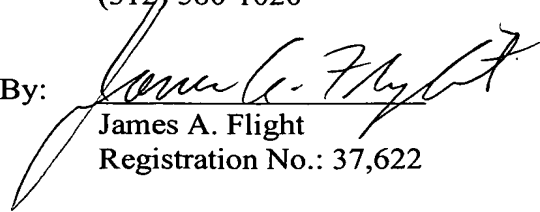
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0087356 filed December 30, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


James A. Flight
Registration No.: 37,622

January 30, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0087356
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

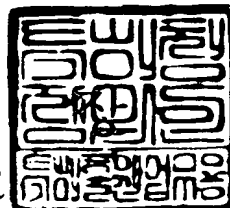
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002. 12. 30
【발명의 명칭】	갭필링층 형성단계를 갖는 메모리셀 제조방법 및 그 구조
【발명의 영문명칭】	Memory Cell Manufacturing Method with a Step of Filling Space between Two Spacers and the Structure
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	2001-066005-7
【발명자】	
【성명의 국문표기】	박혁
【성명의 영문표기】	PARK, Hyuk
【주민등록번호】	711013-1095314
【우편번호】	425-180
【주소】	경기도 안산시 본오동 759-12번지 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉길
【성명의 영문표기】	KIM, Bong Kil
【주민등록번호】	690225-1237619
【우편번호】	465-220
【주소】	경기도 하남시 초이동 332번지
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)

【수수료】

【기본출원료】 12 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 메모리 셀 어레이의 제조방법 및 구조에 관한 것으로, 그 방법은 플로팅게이트, 콘트롤게이트를 갖는 각 게이트 영역을 분리하는 스페이서를 형성하는 단계; 각 게이트의 측벽에 형성되는 스페이스들 사이의 공간을 채우는 단계; 및 게이트 영역 및 갭영역 상부에 도포층을 적층하는 단계로 구성되고, 여기서, 스페이서 형성단계는 SiN을 증착 및 에칭하여 형성시키고, 그리고 공간채움단계는 비도핑 폴리실리콘 및 비정질 폴리실리콘 중에서 선택되는 어느 하나를 이방성 에칭을 이용하여 형성시킨다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

갭필링층 형성단계를 갖는 메모리셀 제조방법 및 그 구조{Memory Cell Manufacturing Method with a Step of Filling Space between Two Spacers and the Structure}

【도면의 간단한 설명】

도1a 내지 1b는 종래의 플래시 메모리 셀의 구조 및 제조과정을 도시하고, 그리고

도2a 내지 2d는 본 발명에 따른 셀 제조방법을 도시하고 있다.

-도면의 주요부분에 대한 부호의 설명-

11: 실리콘기판 12: N-웰

13: P-웰 14: 소스/드레인

15: 게이트산화막 16: 실리사이드

17: 플로팅게이트 18: ONO막

19: 콘트롤게이트 20: 스페이서

21: BLC막 22: BPSG

23: 보이드 24: 필링층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 임베디드 플래시 메모리의 제조방법에 관한 것으로, 상세하게는 플래시 메모리 셀의 트랜지스터를 구성하는 게이트 사이의 스페이서 사이에 발생하는 보이드를 효과적으로 제거할 수 있는 플래시 메모리 셀의 제조방법에 관한 것이다.
- <12> EEPROM이나 플래쉬 EEPROM과 같은 불휘발성 메모리 소자는 소오스와 드레인이 형성된 반도체 기판 상에 데이터를 보존하는 플로팅게이트(floating gate)와 전압을 인가하는 컨트롤게이트(control gate)로 구성된 메모리 셀들로 이루어져 있다.
- <13> 도1a 내지 1b는 종래의 플래시 메모리 셀의 구조 및 제조과정을 도시하고 있다.
- <14> 먼저, 도1a에서 실리콘기판(11)에 N-웰(12) 및 P-웰(13)이 도핑된다. 소스/드레인(14) 영역이 주입 등의 방법에 의하여 형성된다. 주입, 포토레지스트 도포, 패터닝, 현상, 증착 등의 방법에 의하여 게이트산화막(15), 플로팅게이트(17), ONO(Oxide/Nitride/Oxide)막(18), 컨트롤게이트(19)이 형성되어 있다. 여기서, 플로팅게이트(17)는 전하를 저장하기 위한 수단이고, 컨트롤게이트(19)는 플로팅게이트(17)에 전압을 유기시키기 위한 것이다. 플로팅 게이트(17)와 컨트롤게이트(19)는 도1a와 같이 적층 구조로 형성되며 게이트의 양 측면에는 나란하게 소스 및 드레인 영역(14)이 실리콘기판(11)의 P-웰(13)내에 형성되어 트랜지스터의 단위 블록이 된다.

- <15> 그리고, 게이트 영역을 분리 및 보호하기 위하여 SiN으로 구성되는 스페이서(20)이 형성되어 있고, 워드라인 또는 비트라인 등의 외부 단자에 접속하기 위하여 실리사이드(16), 그리고 무경계 콘택(Borderless Contact: BLC)(21) 등이 형성되어 있다.
- <16> 도1b는 스페이서를 증착 및 에칭한 다음 BPSG를 증착한 후에 나타나는 셀의 단면도이다. 도1b에 도시된 바와같이, 일반적인 임베디드 플래시 메모리 제조에서, 로직 트랜지스터의 고유 특성을 변화시키지 않으면서 비용을 절감하기 위하여 스페이서로 이용되는 SiN막(20)을 증착 및 에칭하고, 그 후 BPSG(Boron Phosphorus Silicate Glass)(22)를 증착하는 방법을 적용하여 공정을 진행하고 있다.
- <17> 그런데, 도1b에서와 같이, 셀 어레이의 경우 양 게이트 사이의 간격이 좁기 때문에 스페이서(20)를 증착 및 에칭한 후에 BPSG(22)를 증착하게 되면, 셀 어레이의 SiN막(20) 사이에 보이드(void)(23)가 형성된다. 이러한 보이드(23)는 각 셀의 특성을 변화시키게 된다. 형성되는 보이드(23)는 셀을 구성하는 폴리의 CD에 따라 발생하는 보이드의 크기도 변하는 데, 이러한 보이드의 크기변화는 각 셀들의 특성을 변화시킨다. 즉, 기생커패시턴스로 작용해 플래시 소자의 동작속도를 감소시키는 원인이 되고, 소자 동작시에 스트레스 및 누설의 포인트로 작용함으로써, 프레스 쿠키 테스트(Pressure Cooker Test) 등과 관련된 소자 신뢰성이나 특성의 저하에 영향을 미치게 된다.

【발명이 이루고자 하는 기술적 과제】

- <18> 본 발명은 이러한 문제점을 해결하기 위한 것으로, 임베디드 플래시 메모리 셀 제조공정의 BPSG 증착시 SiN 스페이서 사이에 발생하는 보이드를 제거하여 보이드의 발생 및 크기 변화에 따라 야기되는 각 셀의 특성변화를 방지함으로써 소자를 안정적으로 동작시키는 것을 목적으로 한다.

【발명의 구성 및 작용】

- <19> 이러한 목적을 달성하기 위하여 본 발명은, 스페이서 증착 및 에칭단계 후, 도핑되지 않은 폴리실리콘을 증착하는 단계 및 이방성 에칭으로 폴리실리콘을 에칭하는 단계를 거친 후에 BPSG를 증착하는 플래시 메모리 셀 제조방법을 제공한다.
- <20> 이하, 첨부도면을 참조하여 본 발명을 상세히 설명한다.
- <21> 도2a 내지 2d는 본 발명에 따른 셀 제조방법을 도시하고 있다.
- <22> 도2a에서, 실리콘기판(11)에 N-웰(12) 및 P-웰(13)을 주입 등의 방법으로 형성시킨다. 소스/드레인(14) 영역을 주입 등의 방법으로 형성시킨다. 그리고, 포토레지스트공정, 마스크 패터닝공정, 현상공정, 증착공정 등의 방법을 이용하여 게이트산화막(15), 전하를 저장하는 플로팅게이트(17), ONO(Oxide/Nitride/Oxide)막 (18), 플로팅게이트(17)에 전압을 유기하는 콘트롤게이트(19) 등을 차례로 적층 형성시킨다.
- <23> 그리고, 워드라인 또는 비트라인 등의 외부 단자와 접속을 위하여 도전성 금속 성분을 포함하는 실리사이드(16), 그리고 무경계 콘택(Borderless Contact: BLC)(21)층 등을 일정두께로 형성시킨다.
- <24> 그 후, 게이트 영역을 분리 및 보호하기 위하여 SiN 등을 증착 및 에칭하여 스페이서(20)를 형성시킨다.
- <25> 도2b는 SiN을 증착 및 에칭하여 형성한 스페이서(20) 위에 필링층(24)을 증착시킨다. 여기서, 필링층(24)을 구성하는 성분은 도핑되지 않은 폴리실리콘이나 비정질 실리콘이 이용된다. 비도핑 폴리실리콘이나 비정질실리콘은 공간을 채우는 능력(gap filling)이 우수하여, 스페이스(20) 사이의 좁은 공간에 쉽게 채워진다.

<26> 도2c는 필링층(24)을 에칭한 후의 셀의 단면도이다. 필링층을 구성하는 비도핑 폴리실리콘과 스페이서를 구성하는 SiN의 에칭 선택비가 좋기 때문에, 측벽 식각이 제한되어 선택성이 양호한 이방성 에칭을 실시하게 되면, 도2c에 도시된 바와같이, 스페이스 사이의 공간을 채우고 있는 비도핑 폴리실리콘이 그대로 남아 있게 된다. 여기서, 폴리실리콘을 에칭하는 에칭액은 $\text{HNO}_3 + \text{CH}_3\text{COOH} + \text{HF}$ 등이 사용된다. 한편, 비정질 실리콘을 사용하여 증착 및 에칭할 경우에도 동일한 결과를 얻을 수 있다.

<27> 도2d는 필링층의 증착 및 에칭 후에 BPSG를 증착한 상태의 셀의 단면도이다. 도2d에 도시된 바와같이, BLC막(21), 게이트 영역의 상부 실리사이드(16), 및 스페이서 위에 증착되어 있는 필링층(24) 위에 BPSG층(22)이 증착되어 있으며, 게이트 영역 사이에 형성되어 있는 공간이 필링층(24)에 의해 완전히 채워져 있음을 확인 할 수 있다.

<28> BPSG층을 형성한 후에는, 실리사이드(16)에 접촉하는 메탈콘택라인을 포토레지스트공정, 패터닝공정, 노광 및 현상공정, 및 에칭공정 등에 의하여 형성시킴으로써, 셀을 와부단자와 연결시킨다.

【발명의 효과】

<29> 이러한 방법에 의하여 플래시 메모리 셀을 제조하게 되면, 임베디드 플래시 메모리 셀 제조공정의 BPSG 증착시에 발생하는 SiN 스페이서 사이의 보이드를 효과적으로 제거할 수 있어서, 보이드의 발생 및 크기 변화에 따라 야기되는 각 셀의 특성변화를 방지하고, 소자의 안정적인 동작을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

메모리 셀 어레이를 제조하는 방법에 있어서,

플로팅게이트, 콘트롤게이트를 갖는 각 게이트 영역을 분리하는 스페이서를 형성하는 단계;

각 게이트의 측벽에 형성되는 상기 스페이스들 사이의 공간을 채우는 단계; 및

상기 게이트 영역 및 갭영역 상부에 도포층을 적층하는 단계를 포함하는 것을 특징으로 하는 갭필링층 형성단계를 갖는 메모리셀 제조방법.

【청구항 2】

제1항에 있어서,

상기 스페이서 형성단계는 SiN을 증착 및 에칭하여 형성시키고, 그리고

상기 공간채움단계는 비도핑 폴리실리콘 및 비정질 폴리실리콘 중에서 선택되는 어느 하나를 이방성 에칭을 이용하여 형성시키는 것을 특징으로 하는 갭필링층 형성단계를 갖는 메모리셀 제조방법.

【청구항 3】

제2항에 있어서, 상기 도포층 적층단계는

BPSG 및 TEOS 중에서 선택되는 어느 하나를 이용하는 것을 특징으로 하는 갭필링층 형성단계를 갖는 메모리셀 제조방법.

【청구항 4】

메모리 셀 어레이의 구조에 있어서,

게이트산화막, 플로팅게이트층, 절연막, 및 콘트롤게이트층으로 적층되는 다수의 게이트:

상기 게이트의 측벽에 증착형성되는 스페이서;

상기 스페이서가 형성된 상기 게이트 사이에 증착형성되는 갭필링층; 및

상기 게이트 및 갭필링층 상부에 적층되는 도포층을 포함하는 것을 특징으로 하는 갭필링층을 갖는 메모리셀 구조.

【청구항 5】

제4항에 있어서,

상기 스페이서는 SiN으로 구성되고, 그리고

상기 갭필링층은 비도핑 폴리실리콘 및 비정질 폴리실리콘 중에서 선택되는 어느 하나를 이용하는 것을 특징으로 하는 갭필링층을 갖는 메모리셀 구조.

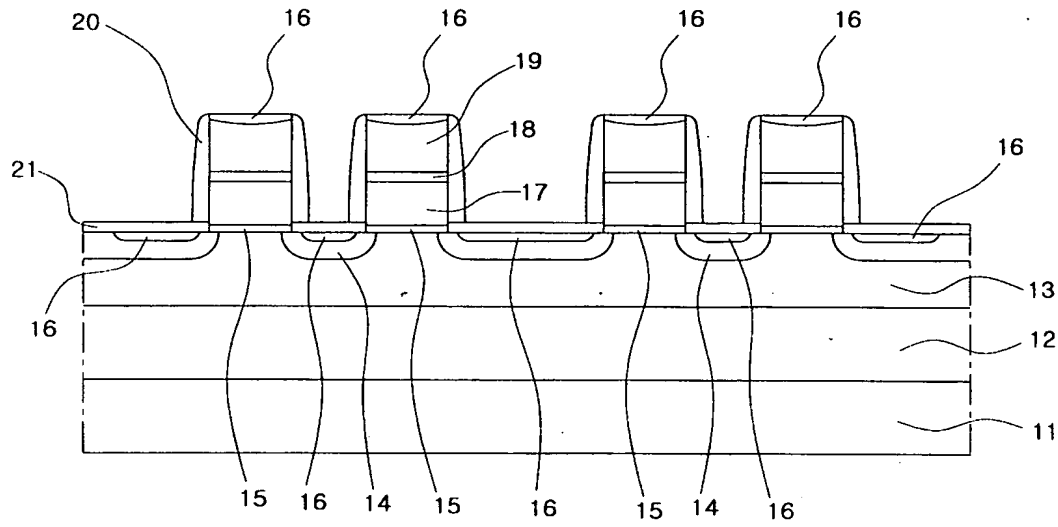
【청구항 6】

제5항에 있어서, 상기 갭필링층은

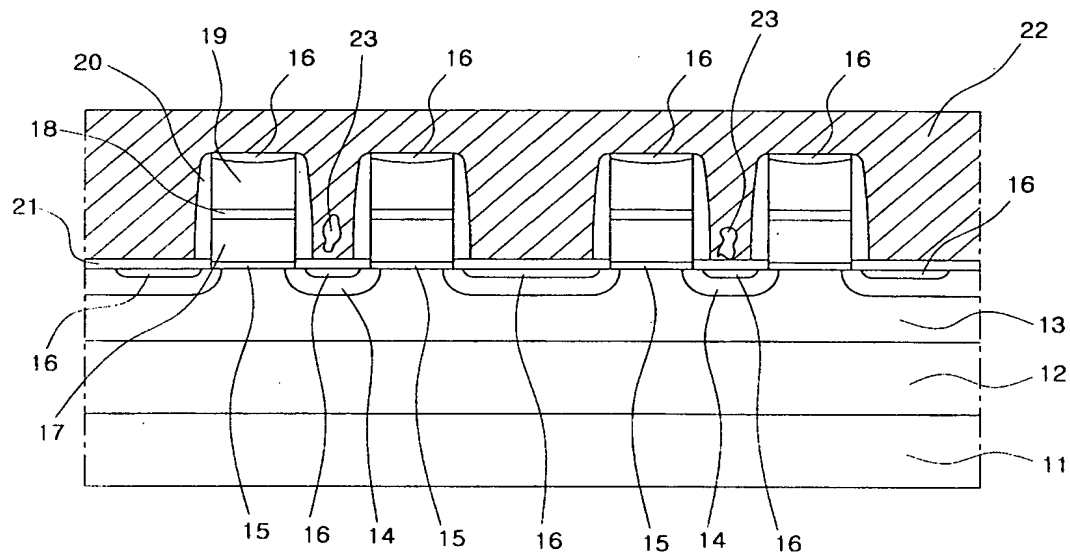
이방성 에칭으로 형성되는 것을 특징으로 하는 갭필링층을 갖는 메모리셀 구조.

【도면】

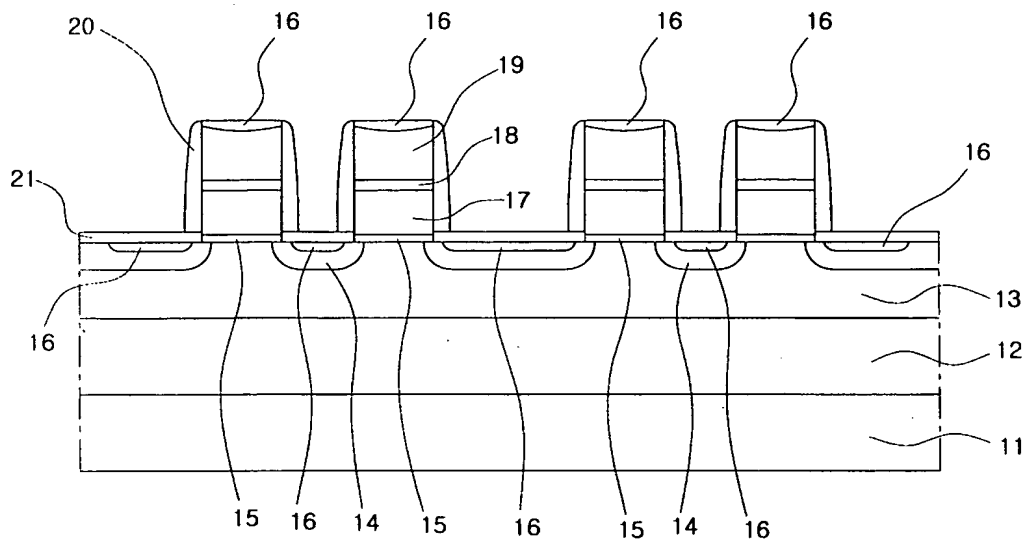
【도 1a】



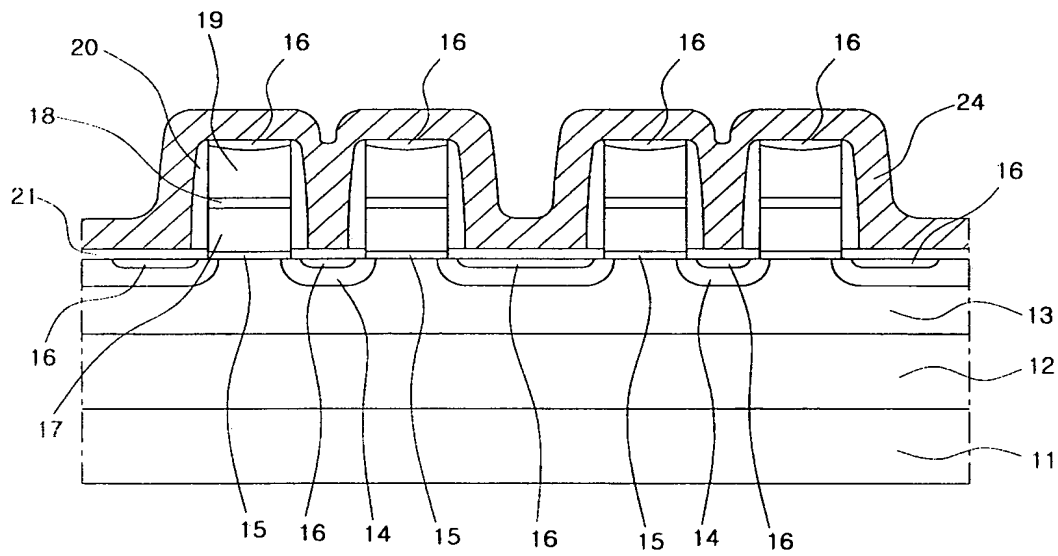
【도 1b】



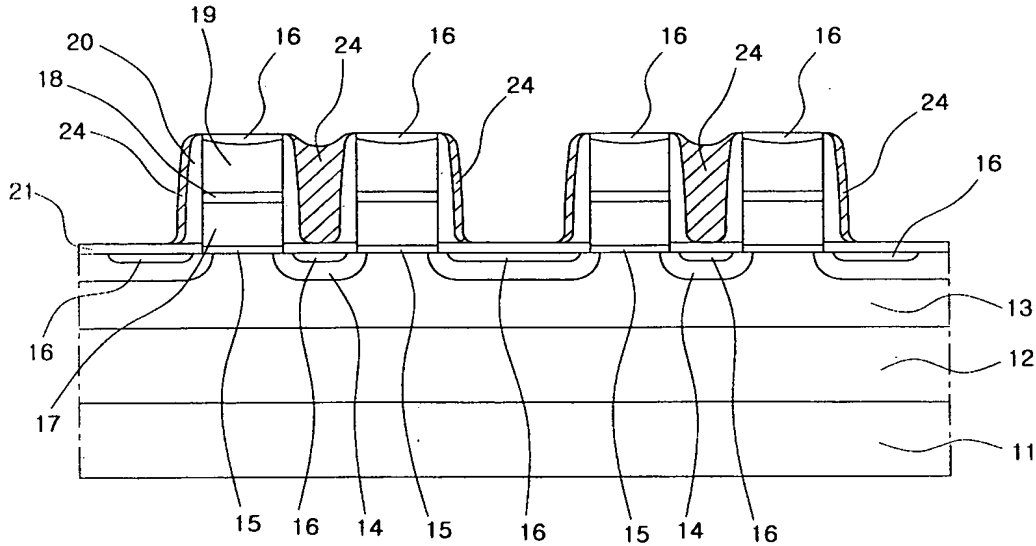
【도 2a】



【도 2b】



【도 2c】



【도 2d】

